

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

#2 / Priority
Paper
3-4-02
Estates

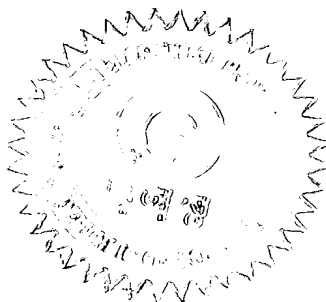
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2000년 제 85583 호
Application Number PATENT-2000-0085583

출원년월일 : 2000년 12월 29일
Date of Application DEC 29, 2000

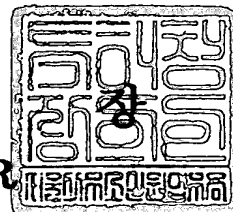
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2001 년 07 월 24 일

특 허 청

COMMISSIONER



Inventor: CHO
Filing Date: December 27, 2001
Attorney Docket: 282974

【서지사항】

【서류명】 출원인정보변경 (경정)신고서
【수신처】 특허청장
【제출일자】 20010417

【출원인】

【명칭】 주식회사 하이닉스반도체
【출원인코드】 119980045698

【대리인】

【성명】 특허법인 신성 정지원
【대리인코드】 920000002923

【변경사항】

【경정항목】 한글 성명(명칭)
【경정전】 현대전자산업주식회사
【경정후】 주식회사 하이닉스반도체

【변경사항】

【경정항목】 영문 성명(명칭)
【경정전】 HYUNDAI ELECTRONICS IND. CO.,LTD
【경정후】 Hynix Semiconductor Inc.

【변경사항】

【경정항목】 인감
【경정전】
【경정후】

【취지】

특허법시행규칙 제9조·실용신안법시행규칙 제12조·의장법
시행규칙 제28조 및 상표법시행규칙 제23조의 규정에 의하
여 위와 같이 신고합니다.

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2000.12.29
【발명의 명칭】	반도체 소자의 게이트 및 그 제조방법
【발명의 영문명칭】	GATE OF SEMICONDUCTOR AND METHOD FOR MANUFACTURING THE SAME
【출원인】	
【명칭】	현대전자산업주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	조일현
【성명의 영문표기】	CHO, Ihl Hyun
【주민등록번호】	690918-1634923
【우편번호】	302-120
【주소】	대전광역시 서구 둔산동 동지아파트 105동 203호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	3 면 3,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	32,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 고유전 상수를 갖는 금속 산화막을 포함하는 반도체 소자의 게이트 및 그 제조방법을 개시한다.

개시된 본 발명은, 반도체 기판상에 형성된 게이트 산화막과, 상기 게이트 산화막 상부에 형성된 게이트용 도전막과, 상기 게이트 산화막과 게이트용 도전막 계면에서의 반응에 의해 형성된 금속 산화막을 포함하여 구성하는 것을 특징으로 한다. 이에 의해, 고유전 상수를 갖는 금속 산화막을 형성함으로써 안정된 게이트를 형성할 수 있다.

【대표도】

도 2b

【명세서】

【발명의 명칭】

반도체 소자의 게이트 및 그 제조방법{GATE OF SEMICONDUCTOR AND METHOD FOR MANUFACTURING THE SAME}

【도면의 간단한 설명】

도 1a 내지 도 1c는 종래 기술에 따른 반도체 소자의 게이트 제조방법을 설명하기 위한 단면도.

도 2a 내지 도 2c는 본 발명에 따른 반도체 소자의 게이트 제조방법을 설명하기 위한 제조공정도.

도 3은 도 2a 내지 도 2c에서의 게이트 제조공정을 이용하여 형성된 전체 구조를 설명하기 위한 단면도.

도 4 내지 도 6은 본 발명의 바람직한 실시예에 대한 데이터를 도시한 도면.

* 도면의 주요 부분에 대한 부호 설명 *

10 : 반도체 기판

11 : 실리콘 산화막

12 : 금속 산화막

13 : 게이트용 도전막

14 : 게이트 구조

15 : 박막의 산화막

16 : 스페이서

17a, 17b : 소오스/드레인 영역

18 : 충전 절연막

19 : 감광막

20 : 콘택홀

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 반도체 소자의 게이트 및 그 제조방법에 관한 것으로, 보다 구체적으로는, 고유전 상수를 갖는 금속 산화막을 포함하는 게이트 및 그 형성방법에 관한 것이다.
- <13> 주지된 바와 같이, 게이트는 게이트 절연막 상에 게이트용 도전막을 증착한 후, 이들을 패터닝하는 방식으로 제조되어 왔으며, 여기서, 상기 게이트 절연막으로서는 실리콘을 산화시킨 실리콘 산화막이, 그리고, 상기 게이트용 도전막으로서는 폴리실리콘막이 통상적으로 이용되어져 왔다.
- <14> 그런데, 반도체 소자의 고집적화에 따라 게이트의 선평이 감소되면서, 상기 폴리실리콘막 및 실리콘 산화막은 게이트용 도전막 및 게이트 절연막으로서의 적용에 어려움을 갖게 되었다. 이것은 반도체 소자의 고집적화에 따라 실리콘 산화막의 두께 감소가 함께 요구되었고, 최근에 들어서는 직접 터널링에 의한 누설 전류가 발생할 수 있을 정도까지의 두께가 요구되고 있기 때문이다. 또한, 게이트 물질로서 사용되고 있는 폴리실리콘막은 저항 감소를 위해 내부에 불순물을 함유하게 되는데, 게이트의 선평이 감소되면서, 상기 게이트의 동작시에는 게이트 공핍화 현상이 빈번하게 발생되기 때문이다.
- <15> 따라서, 게이트 절연막으로서 실리콘 산화막이, 그리고, 게이트 물질로서 폴리실리콘막이 적용될 경우, 누설 전류의 증가와 게이트 공핍 현상에 기인해서 반도체 소자의 문턱 전압이 불안정해지는 바, 반도체 소자의 특성 또한 불안정해진다.
- <16> 이에따라, 종래에서는 실리콘 산화막보다 유전율이 적어도 2배 이상을 갖는 고유전

막을 이용함으로써 직접 터널링에 의한 누설전류를 억제시키고, 게이트 전극을 금속막으로 형성함으로써, 게이트 공핢 현상을 근본적으로 제거하려는 연구가 진행되었다.

<17> 도 1a 내지 도 1c는 종래의 고유전막과 금속 게이트를 이용한 반도체 소자의 제조 방법을 설명하면 다음과 같다.

<18> 먼저, 도 1a에 도시된 바와같이, 반도체 기판(1)상에 실리콘 산화 방지를 위해 실리콘 질화막(2)을 증착한다. 그 다음, 상기 실리콘 질화막(2) 상부에 고유전 상수를 갖는 고유전막(3)을 형성한다.

<19> 이어서, 상기 고유전막(3)을 결정화시키고, 탄소(C)등의 불순물 제거 및 누설 전류의 발생을 줄이기 위하여, N_2O 및 NO 가스로 열처리를 수행한다.

<20> 그 다음, 도 1b에 도시된 바와같이, 상기 결정화된 고유전막(3a) 상부에 확산 방지막으로 금속 질화막(4)을 증착한다. 이어서, 상기 금속 질화막(4) 상부에 게이트 전극용 금속막(5)을 증착한다.

<21> 그 다음, 도 1c에 도시된 바와같이, 상기 게이트 전극용 금속막(5), 금속 질화막(4), 결정화된 고유전막(3a) 및 실리콘 질화막(2)을 차례로 패터닝하여 반도체 소자의 게이트(6) 구조를 형성한다. 그 다음, 상기 패터닝시 플라즈마 데미지를 억제하기 위하여 상기 게이트(6) 양측벽에 박막의 산화막(미도시)을 형성한다.

<22> 이어서, 통상적으로, 상기 게이트(6) 구조가 형성된 반도체 기판(1)의 활성영역상에 핫 캐리어(hot carrier) 발생을 억제하기 위하여, 저농도 이온주입을 수행하고, 상기 게이트(5) 양측벽에 스페이서(7) 형성 및 고농도 이온주입을 수행함으로써, 반도체 소자의 소오스/드레인 영역(8a, 8b)을 형성한다.

【발명이 이루고자 하는 기술적 과제】

- <23> 그러나, 상기와 같이 형성된 종래기술에 따른 반도체 소자의 게이트 제조방법은 다음과 같은 문제점이 있다.
- <24> 종래기술에 따른 반도체 소자의 게이트 제조방법은 기존의 실리콘 산화막 및 폴리 실리콘막으로 형성된 게이트에 비해 제조공정이 까다롭다.
- <25> 또한, 도 1a에서 고유전막(3)을 결정화하기 위한 열처리에 있어서, 반도체 기판(1) 계면에 유전상수가 낮은 실리콘 산화막이 형성되어 전체 유전율을 감소시킨다.
- <26> 아울러, 상기 고유전막(3)과 반도체 기판(1) 사이에 결함 밀도 및 표면 거칠기가 기존의 실리콘 산화막보다 커서 소자특성 및 동작 능력이 현저히 저하될 염려가 있다.
- <27> 따라서, 상기와 같은 문제점을 해결하기 위한 본 발명의 목적은, 새로운 고유전막과 금속 전극을 제조하여 저전력, 고성능을 요하는 차세대 제품에 적합한 반도체 소자의 게이트 및 그 제조방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <28> 상기 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 게이트 제조방법은, 반도체 기판상에 형성된 게이트 산화막과, 상기 게이트 산화막 상부에 형성된 게이트용 도전막과, 상기 게이트 산화막과 게이트용 도전막 계면에서의 반응에 의해 형성된 금속 산화막을 포함하여 구성하는 것을 특징으로 한다.
- <29> 또한, 본 발명에 따르면, 반도체 기판상에 실리콘 산화막을 성장시키는 단계; 상기 실리콘 산화막 상부에 게이트용 도전막을 증착하는 단계; 상기 실리콘 산화막과 게이트용 도전막의 계면에서 원자간의 반응을 촉진시키는 열처리 공정을 수행하여 소정의 금속

산화막을 형성하는 단계; 및

- <30> 상기 게이트용 도전막, 소정의 금속산화막 및 실리콘 산화막을 차례로 패터닝하여 게이트를 형성하는 단계를 포함하여 구성하는 것을 특징으로 한다.
- <31> 이하, 본 발명에 따른 반도체 소자의 게이트 및 그 제조방법을 첨부한 도면에 의거하여 상세히 설명한다.
- <32> 도 2a 내지 도 2c는 본 발명에 따른 반도체 소자의 게이트 제조방법을 설명하기 위한 제조 공정도이고, 도 3은 도 2a 내지 도 2c의 제조공정에 따른 반도체 소자의 게이트를 설명하기 위한 전체 단면도를 도시한 것이다. 또한, 도 4 내지 도 6은 본 발명의 바람직한 실시예에 따른 데이터를 도시한 것이다.
- <33> 먼저, 도 2a에 도시된 바와같이, 반도체 기판(10)상에 게이트 산화막, 예컨대, 실리콘을 산화시킨 실리콘 산화막(11)을 성장시킨다. 상기 실리콘 산화막(11)은 바람직하게 10 ~ 100Å의 두께를 갖도록 고온에서 성장시킨다.
- <34> 이어서, 상기 실리콘 산화막(11) 상부에 게이트용 도전막(13)을 증착한다. 상기 게이트 도전막(13)은 금속막 또는 금속 질화막으로 형성할 수 있는데, 바람직하게는 텅스텐막, 탄탈륨막, 티타늄막 및 알루미늄막 등중 하나를 선택하여 형성할 수 있고, 아울러 상기 금속막의 질화막으로 형성할 수도 있다.
- <35> 이 때, 상기 게이트용 도전막(13)은 바람직하게 두께 100 ~ 2000Å을 갖도록 증착한다.
- <36> 그 다음, 도 2b에 도시된 바와같이, 상기 실리콘 산화막(11)과 게이트용 도전막(13)의 계면에서 서로간의 원자 반응을 촉진시키는 열처리 공정을 수행하여 금속 산화막

(12)을 형성한다.

<37> 즉, 상기 열처리 공정으로 인하여 상기 게이트용 도전막(13)의 금속원자가 실리콘 산화막(11)의 산소원자와 반응하여 게이트용 도전막(13)에서 산화를 일으킨다. 상기과 같은 반응에 의해, 실리콘 산화막(11)의 두께는 감소하면서, 동시에 유전율 3.9 이상의 고유전 상수를 갖는 금속 산화막(12)을 형성한다.

<38> 이 때, 상기 금속산화막(12)은 반응온도, 시간, 실리콘 산화막 및 게이트용 도전막 두께 등을 조절하여 원하는 두께로 형성할 수 있으며, 또한 상기 실리콘 산화막(11) 전부를 소모하거나 일부분을 남길 수도 있다.

<39> 이러한 열처리 공정은 고온 500 ~ 1000℃에서 가스 분위기 또는 진공 분위기에서 실시된다. 이 때, 상기 가스는 질소, 아르곤 또는 헬륨 중 어느 하나를 선택하여 실시할 수 있다.

<40> 그 다음, 도 2c에 도시된 바와같이, 상기 금속 산화막(12)이 형성된 결과물을 소정 부분 패터닝하여 반도체 소자의 게이트(14) 구조를 형성한다. 이어서, 상기 패터닝시 플라즈마 데미지를 억제하기 위하여 재산화 공정을 수행하므로써 게이트 양측벽에 박막의 산화막(15)을 형성한다.

<41> 그 다음, 상기 게이트(14) 구조가 형성된 결과물상에 통상적으로 수행하는 LDD(Lightly doped drain)공정을 수행한다. 즉, 상기 게이트(14) 구조 양측의 반도체 기판(10)상에 저농도 불순물 이온주입을 실시하고, 상기 게이트(14) 구조 양측벽에 스페이서(15) 형성 및 상기 스페이서(16) 양측의 반도체 기판(10)상에 고농도 불순물 이온주입을 실시하여 소오스/드레인(17a, 17b) 영역을 형성한다.

- <42> 그 다음, 도 3은 상기 도 2a 내지 도 2c에서 반도체 소자의 게이트 제조 공정에 의해 형성된 전체 단면도를 도시한 것이다.
- <43> 도 3에 도시된 바와같이, 도 2a 및 도 2b와 같이 반도체 기판(10)상에 실리콘 산화막(11)과 게이트용 도전막(13)이 차례로 형성되고, 상기 실리콘 산화막(11)과 게이트용 도전막(13) 계면에 금속 산화막(12)이 형성된다.
- <44> 이 때, 상기 실리콘 산화막(11)은 바람직하게 10 ~ 100Å 두께로 증착된다.
- <45> 여기서, 상기 금속 산화막(12)은 유전율이 3.9이상의 고유전 상수를 갖는 고유전막이며, 상기 실리콘 산화막(11)과 게이트용 도전막(13) 계면에서 서로의 원자간의 반응을 촉진시키는 열처리 공정이 수행됨으로써 형성된다.
- <46> 또한, 상기 게이트용 도전막(13)은 금속막 또는 상기 금속막의 질화막으로 형성된다. 이 때, 상기 금속막은 바람직하게 텅스텐막, 탄탈륨막, 티타늄막 또는 알루미늄막 중 하나가 선택되어 증착되며, 또한, 상기 금속막의 질화막으로 증착될 수도 있다.
- <47> 그 다음, 도 2c와 같이, 상기 금속 산화막(12)이 형성된 결과물을 패터닝하여 게이트(14) 구조를 형성하고, 상기 패터닝시 플라즈마 데미지를 억제하기 위하여 게이트(14) 구조 양측벽에 박막의 산화막(15)을 형성한다.
- <48> 이어서, 상기 게이트(14) 구조가 형성된 결과물상에 통상적으로 수행되는 LDD(Lightly doped drain)공정이 수행되어 소오스/드레인(17a, 17b)을 형성한다.
- <49> 그 다음, 소오스/드레인 영역(17a, 17b)이 형성된 전체구조 전면상에 층간 절연막(18)을 형성하고, 감광막(19)을 마스크로하여 상기 층간 절연막(18)을 식각하여 상기 소오스/드레인 영역(17a, 17b)이 노출되도록 콘택홀(20), 예를 들면 비트라인 콘택홀 또는

스토리지 전극용 콘택홀을 형성한다.

<50> 이후 도면상에는 도시되지 않았으나, 금속배선 또는 메모리소자의 경우에는 비트라인 또는 스토리지 전극라인을 형성하여 상기 콘택홀(20)을 통해 상기 소오스/드레인 영역(17a, 17b)과 전기적 콘택이 되도록 한다.

<51> 그 다음, 도 4 내지 도 6은 본 발명의 바람직한 실시예에 대한 데이터를 도시한 것으로, 도 4는 전자투과현미경(이하, TEM)을 통하여 열처리 공정전 및 열처리 공정후의 결과물을 도시한 것이고, 도 5는 이차이온질량분석기(이하, SIMS)를 통한 데이터를 도시한 것이며, 도 6은 X선 분광분석기(이하, XPS)를 통하여 열처리시의 금속산화막의 농도 분포를 도시한 것이다. 이 때, 상기 바람직한 실시예에서 게이트용 도전막(13)으로 티타늄막(Ti)을 이용한다.

<52> 먼저, 도 4의 (a)에 도시된 바와같이, 도 2a의 열처리 전 반도체 기판(10)상에 실리콘 산화막(11)과 게이트용 도전막(13)이 형성된 TEM 사진이 도시되어 있다.

<53> 그 다음 도 4의 (b)에 도시된 바와같이, 도 2b에서의 열처리 공정을 수행한 다음, TEM 사진을 도시한 것으로, 게이트용 도전막(13)과 실리콘 산화막(11) 계면에서 새로운 층(100)의 형성이 확인된다.

<54> 그 다음, 상기 도 4의 (b)에서 형성된 새로운 층(100)에 대한 물성을 이차이온질량 분석기(SIMS) 장비를 이용하여 살펴보면 다음과 같다.

<55> 도 5의 (a)를 참조하면, 상기 반도체 기판(10)상에 실리콘 산화막(11)과 게이트용 도전막(13)이 적층구조로 된 결과물을 온도 750℃의 질소 분위기 하에서 열처리 공정을 수행했을 때의 프로파일을 도시한 것이다. 이 때, X축은 스퍼터링 시간(sec)이 나타내고

, Y축은 이온의 개수를 나타낸다.

<56> 도시된 바와같이, 산소의 피크(peak)치가 두 번에 걸쳐 나타나는 것을 알 수 있다.

이 때, 스퍼터링 시간이 100초 범위에서의 첫 번째 산소 피크치(30)가 티타늄 산화막(TiO_2)인 것으로 나타났고, 두 번째 산소 피크치(40)가 실리콘 산화막(SiO_2)인 것으로 나타났다.

<57> 또한, (b)에 도시된 바와같이, 온도 850℃의 질소 분위기 하에서 열처리 공정을 수행했을 때의 프로파일을 도시한 것으로, 첫 번째 산소 피크치(30)가 도 5의 (a)에서의 산소 피크치(30) 강도보다 줄어든 것을 알 수 있다.

<58> 또한, (c)에 도시된 바와같이, 온도 950℃의 질소 분위기 하에서 열처리 공정을 수행했을 때의 프로파일을 도시한 것으로, 첫 번째 산소 피크치(30)가 도 5의 (a) 및 (b)에서의 산소 피크치(30) 강도보다 더 줄어든 것을 알 수 있다.

<59> 즉, 온도 750℃ 이상에서의 열처리시 티타늄 산화막의 피크치 강도가 점점 줄어드는 것은 티타늄 산화막(TiO_2)에서 티타늄 실리콘막($TiSi_2$)과 같은 구조로 변화하는 것이다.

<60> 그 다음, 도 6의 (a) 및 (b)를 참조하면, 상기 반도체 기판(10)상에 실리콘 산화막(11)과 게이트용 도전막(13)이 적층구조로 된 결과물상에 온도 750℃ 및 950℃의 질소 분위기 하에서 열처리 공정을 수행했을 때의 각각에 대한 프로파일을 도시한 것이다. 이 때, X축은 스퍼터링 시간(sec)을 나타내고, Y축은 원자의 비율을 나타낸다.

<61> 도시된 바와같이, (a)에서의 산소원자 비율의 피크치(50, 60)가 두 차례에 걸쳐 나타나는데, 이것은 도 5에서의 이차이온질량분석기(SIMS)를 통하여 분석된 결과와 동일하

다.

<62> 또한, (a)에서의 산소원자 비율의 피크치(50)가 (b)에서의 산소원자 피크치(50)보다 더 크게 나오는 것을 알 수 있다.

<63> 본 발명의 바람직한 실시예에 대한 데이터를 살펴본 바와같이, 상기 실리콘 산화막(11)과 게이트용 도전막(13)의 계면에서 형성된 새로운 물질(100)이 금속 산화막인 것이 확인됐고, 또한 열처리시 온도 750℃ 이상으로 갈수록 금속 산화막의 농도가 줄어드는 것을 알 수 있다.

【발명의 효과】

<64> 이상에서 설명한 바와같이, 본 발명에 의한 반도체 소자의 게이트 및 그 제조방법에 있어서 다음과 같은 효과가 있다.

<65> 상기 실리콘 산화막(11)과 게이트용 도전막(13) 사이에 고유전 상수를 갖는 금속 산화막(12)을 형성하므로써, 누설전류를 줄일 수 있어 0.15 μ m급 이하의 저전력에 접합하다.

<66> 또한, 남아있는 실리콘 산화막(11)에 의해 유전율이 다소 떨어지지만, 원하는 두께로 조절가능하며, 반도체 기판(10)과 실리콘 산화막(11) 계면의 결함과 거칠기가 매우 작은 우수한 계면을 얻을 수 있다.

<67> 아울러, 게이트용 도전막(13), 즉 금속막 또는 금속 질화막을 사용하기 때문에 게이트 공핍화 현상을 근본적으로 제거할 수 있다.

<68> 이로써, 종래의 고유전 산화막 소자 제조시 문제였던 유전율 감소, 동작능력 저하 및 공정 복잡성등을 개선할 수 있는 효과가 있고, 또한, 공정 단계수를 줄일 수 있어 경

제적 절감 효과도 기대할 수 있다.

<69> 한편, 본 발명의 요지를 벗어나지 않는 범위내에서 다양하게 변경하여 실시할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판상에 형성된 게이트 산화막과,
상기 게이트 산화막 상부에 형성된 게이트용 도전막과,
상기 게이트 산화막과 게이트용 도전막 계면에서의 반응에 의해 형성된 금속 산화막을 포함하여 구성하는 것을 특징으로 하는 반도체 소자의 게이트.

【청구항 2】

제 1항에 있어서,

상기 게이트 산화막은 실리콘 산화막인 것을 특징으로 하는 반도체 소자의 게이트.

【청구항 3】

제 1항에 있어서,

상기 게이트 산화막은 두께가 10 ~ 100Å 정도로 고온에서 성장되는 것을 특징으로 하는 반도체 소자의 게이트.

【청구항 4】

제 1항에 있어서,

상기 게이트용 도전막은 금속막 및 금속 질화막중 어느 하나인 것을 특징으로 하는 반도체 소자의 게이트.

【청구항 5】

제 4항에 있어서,

상기 금속막은 텅스텐막, 탄탈륨막, 티타늄막 및 알루미늄막 중 어느 하나 인 것을 특징으로 하는 반도체 소자의 게이트.

【청구항 6】

제 4항에 있어서,

상기 금속 질화막은 텅스텐질화막, 탄탈륨질화막, 티타늄질화막 및 알루미늄질화막 중 어느 하나인 것을 특징으로 하는 반도체 소자의 게이트.

【청구항 7】

제 1항에 있어서,

상기 게이트용 도전막은 두께 100 ~ 2000Å으로 증착되는 것을 특징으로 하는 반도체 소자의 게이트.

【청구항 8】

제 1항에 있어서,

상기 금속 산화막은 유전율이 적어도 3.9 이상의 고유전 상수를 갖는 산화막인 것을 특징으로 하는 반도체 소자의 게이트.

【청구항 9】

반도체 기판상에 게이트 산화막을 성장시키는 단계;

상기 게이트 산화막 상부에 게이트용 도전막을 증착하는 단계;

상기 게이트 산화막과 게이트용 도전막 계면에서 원자간의 반응을 촉진시키는 열처리 공정을 수행하여 소정의 금속산화막을 형성하는 단계; 및

상기 게이트용 도전막, 소정의 금속산화막 및 게이트 산화막을 차례로 패터

닝하여 게이트를 형성하는 단계를 포함하여 구성하는 것을 특징으로 하는 반도체 소자의 게이트 제조방법.

【청구항 10】

제 9항에 있어서,

상기 게이트 산화막은 실리콘 산화막인 것을 특징으로 하는 반도체 소자의 게이트 제조방법.

【청구항 11】

제 9항에 있어서,

상기 게이트 산화막은 두께가 10 ~ 100 Å 으로 고온에서 성장되는 것을 특징으로 하는 반도체 소자의 게이트 제조방법.

【청구항 12】

제 9항에 있어서,

상기 게이트용 도전막은 금속막 및 금속 질화막중 어느 하나인 것을 특징으로 하는 반도체 소자의 게이트 제조방법.

【청구항 13】

제 12항에 있어서,

상기 금속막은 텅스텐막, 탄탈륨막, 티타늄막 및 알루미늄막 중 어느 하나 인 것을 특징으로 하는 반도체 소자의 게이트 제조방법.

【청구항 14】

제 12항에 있어서,

상기 금속 질화막은 텅스텐질화막, 탄탈륨질화막, 티타늄질화막 및 알루미늄질화막 중 어느 하나인 것을 특징으로 하는 반도체 소자의 게이트 제조방법.

【청구항 15】

제 9항에 있어서,

상기 게이트용도전막은 두께 100 ~ 2000Å으로 증착되는 것을 특징으로 하는 반도체 소자의 게이트 제조방법.

【청구항 16】

제 9항에 있어서,

상기 열처리하는 고온 500 ~ 1000℃ 및 가스 분위기에서 실시되는 것을 특징으로 하는 반도체 소자의 게이트 제조방법.

【청구항 17】

제 16항에 있어서,

상기 가스는 질소, 아르곤 및 헬륨중 어느 하나인 것을 특징으로 하는 반도체 소자의 게이트 제조방법.

【청구항 18】

제 9항에 있어서,

상기 열처리하는 고온 500 ~ 1000℃ 및 진공 분위기에서 실시되는 것을 특징으로 하는 반도체 소자의 게이트 제조방법.

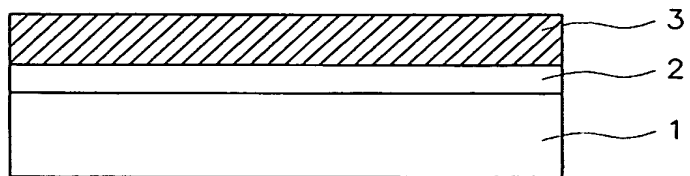
【청구항 19】

제 9항에 있어서,

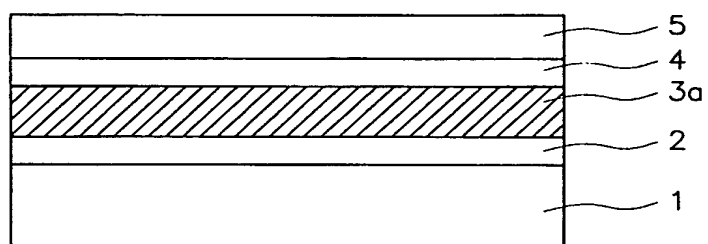
상기 금속 산화막은 유전율이 적어도 3.9 이상의 고유전 상수를 갖는 산화막인 것을 특징으로 하는 반도체 소자의 게이트 제조방법.

【도면】

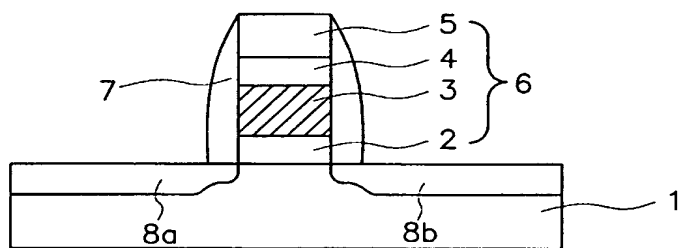
【도 1a】



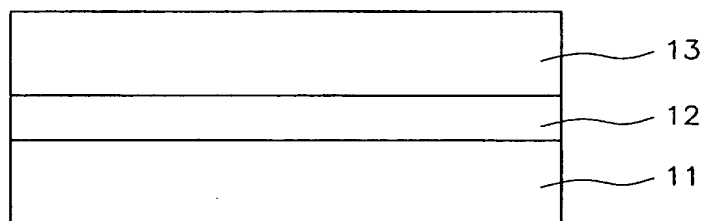
【도 1b】



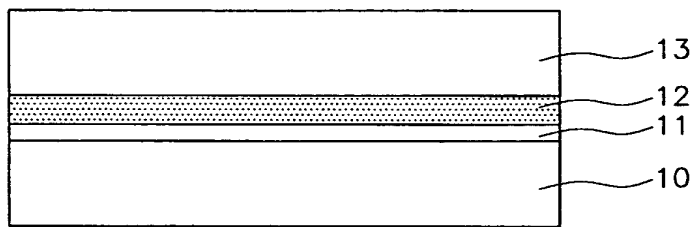
【도 1c】



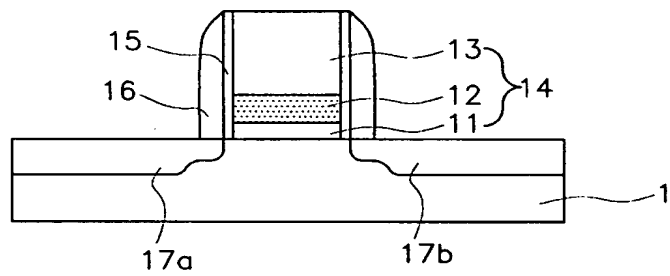
【도 2a】



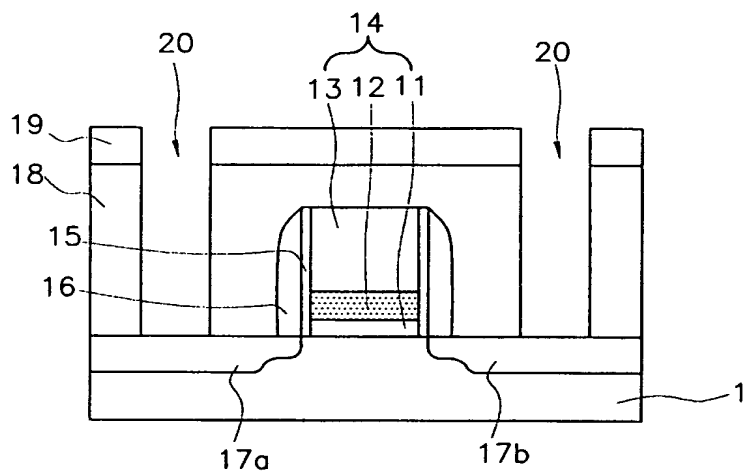
【도 2b】



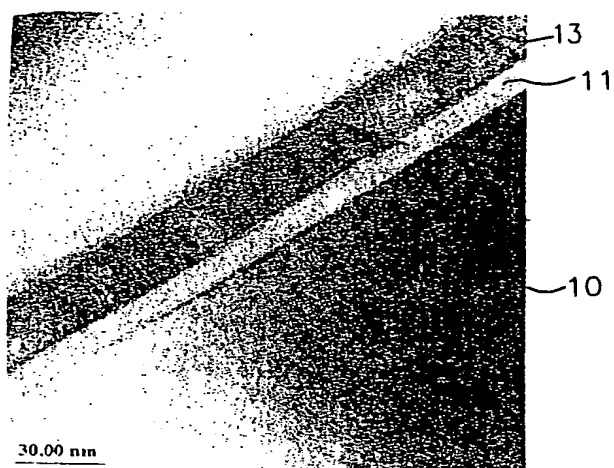
【도 2c】



【도 3】



【도 4】

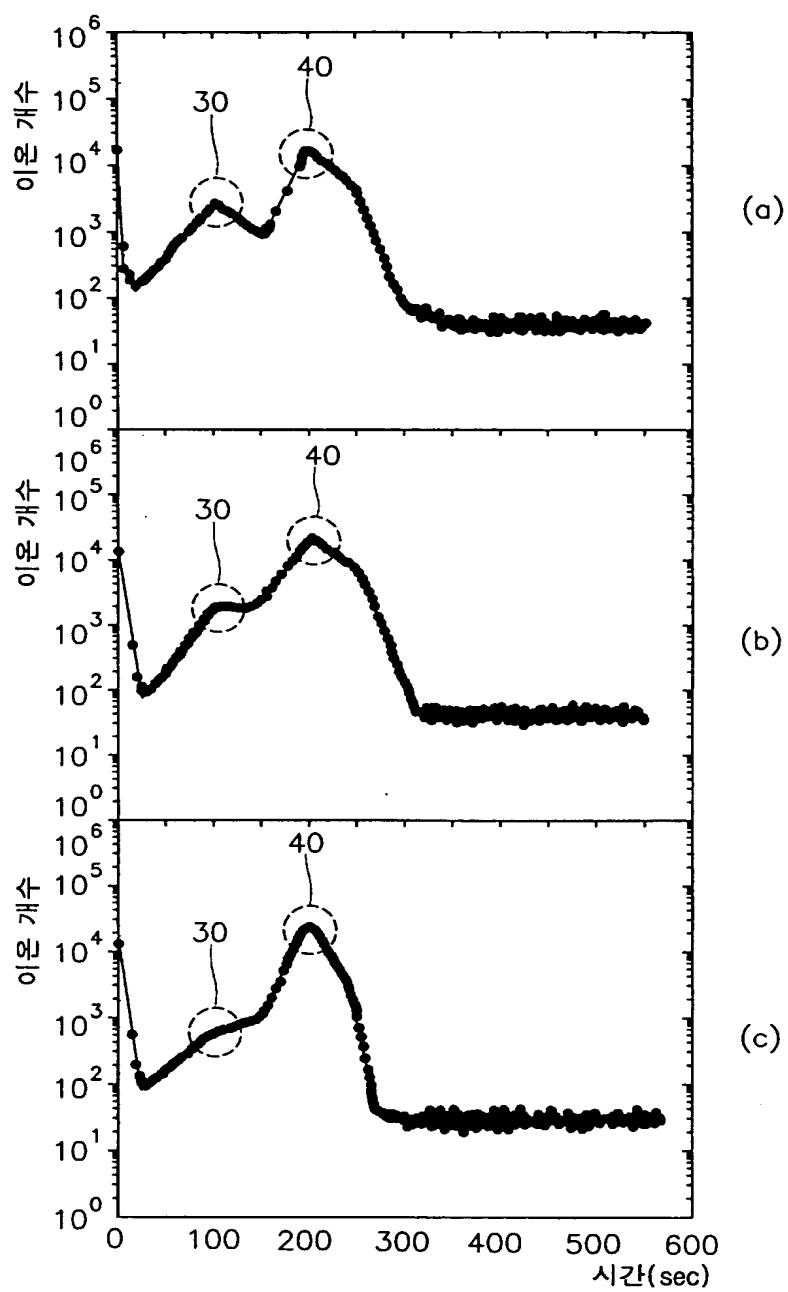


(a)



(b)

【도 5】



【도 6】

